



Prot.n° 4331 f.p.

Marina di Carrara 16/11/2016

AL PROF. BARDINE ALESSANDRO

All'Albo

AI DSGA

OGGETTO: CONFERIMENTO INCARICO DI DOCENZA CORSO DI FORMAZIONE

IL DIRIGENTE SCOLASTICO

- VISTO il D.Lgs.165/2001;
- VISTO il CCNL 2006/2009;
- VISTO il D.I. 44/2001;
- VISTO il PTOF dell' Istituto Comprensivo ed in particolare il Piano di formazione;
- VISTA la delibera n° 18 del Collegio dei Docenti del 07/10/2016;
- CONSIDERATA la necessità di formare il personale docente dell'Istituto sulle tematiche del pensiero computazionale e della programmazione con il linguaggio Scratch;
- CONSIDERATO che il prof.Bardine presta servizio in qualità di docente a tempo indeterminato presso l'I.C.G.Taliercio e che il prof. Bardine possiede capacità e qualità idonee alla prestazione che viene richiesta, come da curriculum vitae agli Atti dell' Istituto;
- CONSIDERATO che tra le risorse umane presenti nell'Istituto il prof.Bardine Alessandro ha dato la propria disponibilità a svolgere la formazione di cui sopra;

Incarica

il **Prof. BARDINE ALESSANDRO** di svolgere attività di docenza al corso di formazione "Il pensiero computazionale e la programmazione" sulle tematiche del pensiero computazionale e della programmazione con il linguaggio Scratch. Il corso è rivolto al personale docente dell'Istituto ed è articolato in quattro incontri di due ore ciascuno, **per un totale di 8 ore complessive**, in orario pomeridiano a partire dal 24/11/2016, come da calendario allegato.

Il compenso da attribuire al docente per l'incarico assegnato è di € 35,00 lordo dipendente all'ora, per un totale lordo complessivo di **€ 280,00 lordo dipendente**, sul quale saranno applicate tutte le ritenute di legge. I fondi necessari si possono reperire dalla dotazione del **Progetto P/01 Formazione**, del Programma Annuale 2016.

Il compenso sarà liquidato, al termine dell' attività, previa consegna di una breve relazione di verifica del corso di formazione.

Firma per accettazione
Prof. Alessandro Bardine



LA DIRIGENTE SCOLASTICA
Prof.ssa Anna Maria Florio

FORMATO EUROPEO
PER IL CURRICULUM
VITAE



INFORMAZIONI PERSONALI

Nome
Indirizzo
Telefono
Fax
E-mail
Nazionalità
Data di Nascita

PROFILO

Sono un ingegnere informatico in possesso del dottorato di ricerca in ingegneria dell'informazione. Professionalmente sono interessato alla progettazione e allo sviluppo di sistemi hardware e software per tutti i settori applicativi dell'informatica sia di tipo general purpose sia di tipo embedded e di automazione industriale. Ho maturato più di 20 anni di esperienza nella progettazione, nella ricerca scientifica ed industriale.

Ho inoltre maturato numerosi anni di esperienza nella didattica nei settori di mia pertinenza sia a livello universitario che nella scuola media superiore italiana. A partire da luglio 2013 sono abilitato all'insegnamento per la classe di concorso A/042. A partire da settembre 2014 a seguito di concorso sono docente di ruolo di Tecnologia nella scuola secondaria di primo grado. Le mie attività didattiche mirano principalmente a legare l'uso delle tecnologie informatiche alla realtà quotidiana degli allievi e a sviluppare il pensiero computazionale.

A partire da Ottobre 2016 sono membro della commissione Ingegneria dell'Informazione della federazione regionale degli Ingegneri Toscana

La passione per l'informatica e per tutte le attività ad essa correlate e lo spirito di scoperta mi hanno sempre spinto e continuano a spingermi nella ricerca continua di nuove opportunità professionali che mi consentano sia di mettere a frutto le esperienze maturate sia di acquisire nuove competenze e dunque di continuare la mia crescita personale sia professionale che umana.

ESPERIENZA LAVORATIVA

- Date (da – a) Settembre 2014- In corso
- Nome e indirizzo del datore di lavoro Ministero dell'Istruzione, Università e della Ricerca - Università di Pisa – Dipartimento di Ingegneria Meccanica e della Produzione
- Tipo di azienda o settore Scuola secondaria di primo grado
- Tipo di impiego Docente tempo indeterminato di Tecnologia

- Date (da – a) Febbraio 2014- Febbraio 2015
- Nome e indirizzo del datore di lavoro Ministero dell'Istruzione, Università e della Ricerca - Università di Pisa – Dipartimento di Ingegneria Meccanica e della Produzione
- Tipo di azienda o settore Università pubblica
- Tipo di impiego Docente a contratto per il corso di BASI DI DATI del corso di laurea in Ingegneria Gestionale

- Date (da – a) Settembre 2013- Giugno 2014
- Nome e indirizzo del datore di lavoro Ministero dell'Istruzione, Università e della Ricerca - I.I.S. "Belmesseri" – Pontremoli – Polo Artistico "Artemisia Gentileschi" -Carrara
- Tipo di azienda o settore Scuola pubblica
- Tipo di impiego Titolare della cattedra di Informatica nei corsi di diploma di Istituto Professionale per il commercio, di Istituto Tecnico Per il commercio e di Istituto Professionale per le attività Industriali

- Date (da – a) Ottobre 2012 – in corso
- Tipo di azienda o settore Libera Professione
- Tipo di impiego Studio professionale di Ingegneria, con settore principale di attività nelle applicazioni dell'ingegneria informatica (applicazioni Web, applicazioni di automazione industriale). Si veda l'allegato 1 per una descrizione dei principali incarichi e delle principali attività svolte.

- Date (da – a) Settembre 2012- Giugno 2013
- Nome e indirizzo del datore di lavoro Ministero dell'Istruzione, Università e della Ricerca - I.I.S. "Meucci" –Via Marina Vecchia -Massa
- Tipo di azienda o settore Scuola pubblica
- Tipo di impiego Titolare della cattedra di Informatica nella classe 3° del corso di Diploma dell'istituto tecnico ad Indirizzo Telecomunicazioni ed Informatica, articolazione in Informatica e nelle classi 3° del corso di Liceo Scientifico Opzione Scienze Applicate

- Date (da – a) Ottobre 2011- Giugno 2012
- Nome e indirizzo del datore di lavoro Ministero dell'Istruzione, Università e della Ricerca - I.I.S. "Barsanti" – Sede "A.Salveti" – Via XXVII Aprile - Massa
- Tipo di azienda o settore Scuola pubblica
- Tipo di impiego Titolare della cattedra di Informatica Gestionale nelle classi 3° 4° 5° del corso di Diploma in "Tecnico della Gestione Aziendale"

- Date (da – a) Gennaio 2010 – Dicembre 2011
- Nome e indirizzo del datore di lavoro Consorzio Pisa Ricerche s.c.rl – Corso Italia, 116 - 56125 Pisa, Italy
- Tipo di azienda o settore Azienda privata - Ricerca scientifica e ricerca industriale
- Tipo di impiego Contratto di collaborazione a progetto
- Principali mansioni e responsabilità Attività di consulenza scientifica e professionale nell'ambito delle attività di ricerca svolte dall'azienda. Si vedano gli allegati 2 e 3 per una descrizione dei principali incarichi e delle principali attività svolte.

- Date (da – a) Novembre 2005 - Ottobre 2011
- Nome e indirizzo del datore di lavoro Università di Pisa – Dipartimento di Ingegneria dell'Informazione

- Tipo di azienda o settore
 - Tipo di impiego
- Date (da – a)
- Nome e indirizzo del datore di lavoro
 - Tipo di azienda o settore
 - Tipo di impiego
- Principali mansioni e responsabilità

Università – Formazione e ricerca

Titolare di un assegno di ricerca quadriennale dal titolo "Adaptable computers for embedded applications" conferito dal Dipartimento di Ingegneria dell'Informazione dell'Università di Pisa. In seguito titolare di una borsa di studio biennale dal titolo "Analisi e valutazione di Architetture di Cache innovative ad elevata scalabilità e ad alte prestazioni" nell'ambito del progetto di ricerca europeo SARC. Si veda l'allegato 2 per una descrizione delle principali attività svolte.

Novembre 2004 – Marzo 2005
C-Map S.r.l. – Marina di Carrara

Azienda privata - Software House – Cartografia digitale
Ingegnere del software

Progettazione e sviluppo di software per sistemi di navigazione elettronica marini e terrestri (sistemi GPS), per la creazione e la manipolazione di carte geografiche elettroniche, per la compressione di dati cartografici di grosse dimensioni in formati adatti all'uso in sistemi embedded mediante i linguaggi di programmazione C e C++.

Giugno 2004– Ottobre 2004
Università di Pisa – Dipartimento di Ingegneria dell'Informazione

Università – Formazione e ricerca

Titolare di un contratto per un incarico di ricerca conferito dal dipartimento di Ingegneria dell'Informazione dell'Università di Pisa avente come temi principali la modellazione di applicazioni embedded finalizzata alla progettazione architeturale di dispositivi multicore utilizzano dispositivi per la codifica video H.264 come casi di studio.

1996 – 2004
Libera professione - Informatica
Sviluppatore software freelance

Progettazione e sviluppo di software gestionale per sistemi desktop e middle server, per la creazione e la manipolazione di basi di dati.

ISTRUZIONE E FORMAZIONE

- Date (da – a)
- Nome e tipo di istituto di istruzione o formazione
 - Principali materie / abilità professionali oggetto dello studio
 - Qualifica conseguita

Gennaio 2013 – Luglio 2013
Università di Pisa - Pisa

Didattica dell'informatica, pedagogia generale, pedagogia speciale

Abilitazione nazionale all'insegnamento sulla classe di concorso A/042 – Informatica nella scuola superiore di secondo grado. Corso TFA – Tirocinio Formativo Attivo

- Date (da – a)
- Nome e tipo di istituto di istruzione o formazione
 - Principali materie / abilità professionali oggetto dello studio
 - Qualifica conseguita

Novembre 2009 – Aprile 2010
Università degli studi "Guglielmo Marconi" – Roma

Uso delle tecnologie informatiche nella didattica – Uso e progettazione di software multimediali per la didattica

Master Universitario in "Tecnologie dell'Istruzione", 60 CFU – 1500 ore - conseguito in data 24/4/2010

- Date (da – a)
- Nome e tipo di istituto di istruzione o formazione
 - Principali materie / abilità professionali oggetto dello studio
 - Qualifica conseguita

Gennaio 2006 – Dicembre 2008
Dipartimento di ingegneria dell'Informazione dell'università di Pisa

Architettura dei sistemi di elaborazione – Progettazione di microprocessori ad alte prestazioni–
Progettazione di applicazioni concorrenti – Progettazione di sistemi ad alte prestazioni
Dottorato di ricerca in Ingegneria dell'Informazione,

- Date (da – a)

Maggio 2004

- Nome e tipo di istituto di istruzione o formazione
 - Principali materie / abilità professionali oggetto dello studio
 - Qualifica conseguita

Dipartimento di ingegneria dell'Informazione dell'università di Pisa

Progettazione di sistemi informatici – Progettazione di applicazioni – Progettazione di basi di dati – Progettazione di sistemi informativi

Laurea quinquennale (vecchio ordinamento) in Ingegneria Informatica con indirizzo sistemi ed applicazioni informatiche conseguita nel maggio 2004 presso la facoltà di Ingegneria dell'Università di Pisa con votazione finale di 110/110

AGGIORNAMENTO PROFESSIONALE

- Date (da – a)
- Nome e tipo di istituto di istruzione o formazione
 - Titolo del corso o seminario
 - Conoscenze e Competenze sviluppate

25 Febbraio 2016

FNADA - ANQUAP

PON2014/2020 Linee guida dell'Autorità di gestione per affidamento dei contratti per le acquisizioni di beni e servizi di importo inferiore alla soglia di rilevanza comunitaria ""...ISTRUZIONI PER L'USO..."

Metodologie di gestione dei fondi strutturali PON e relativa piattaforma di gestione telematica

- Date (da – a)
- Nome e tipo di istituto di istruzione o formazione
 - Titolo del corso o seminario

1 Febbraio 2016

Ordine degli ingegneri di Massa Carrara

Consolidamento di terreni di fondazione di edifici tramite iniezioni di resine espandenti: analisi preliminari, diagnostica e supporto alla progettazione dell'intervento

- Date (da – a)
- Nome e tipo di istituto di istruzione o formazione
 - Titolo del corso o seminario

17 aprile 2015

Convegno CNI - Comitato Nazionale Ingegneri - Roma

Fatturazione Elettronica - Jobs Act- Regime Dei Minimi

- Date (da – a)
- Nome e tipo di istituto di istruzione o formazione
 - Titolo del corso o seminario

1 ottobre 2015

Convegno CNI - Comitato Nazionale Ingegneri - Roma

Congresso nazionale Ingegneri

- Date (da – a)
- Nome e tipo di istituto di istruzione o formazione
 - Titolo del corso o seminario

28 ottobre 2015

Ordine degli ingegneri di Massa Carrara

Le nostre città posso essere smart?

CAPACITÀ E COMPETENZE

PERSONALI

Acquisite nel corso della vita e della carriera ma non necessariamente riconosciute da certificati e diplomi ufficiali.

MADRELINGUA

ALTRE LINGUA

- Capacità di lettura
- Capacità di scrittura
- Capacità di espressione orale

CAPACITÀ E COMPETENZE

PROFESSIONALI

Con computer, attrezzature specifiche, macchinari, ecc.

ITALIANO

INGLESE

Eccellente
Eccellente
Eccellente

GLI OLTRE 15 ANNI DI ESPERIENZA MI HANNO CONSENTITO DI SVILUPPARE CAPACITÀ E COMPETENZE TECNICHE NEI PIÙ SVARIATI SETTORI APPLICATIVI E DI RICERCA DELL'INGEGNERIA INFORMATICA.

I SISTEMI OPERATIVI, AMBIENTI DI PROGETTAZIONE E SVILUPPO, LINGUAGGI DI PROGRAMMAZIONE E ALTRI SOFTWARE UTILIZZATI NEL CORSO DEGLI ANNI SONO INNUMEREVOLI E, SOLO A TITOLO INDICATIVO, SE NE ELENCAO QUA ALCUNI RIMANDANDO ALL'ALLEGATO 1 PER UNA DESCRIZIONE PIÙ DETTAGLIATA DELLE CAPACITÀ E COMPETENZE ACQUISITE.

SISTEMI OPERATIVI CLIENT: WINDOWS, LINUX, MS-DOS

SISTEMI OPERATIVI SERVER: WINDOWS SERVER 2003/2008/2012, LINUX SERVER

SISTEMI OPERATIVI EMBEDDED: WINDOWS EMBEDDED, ANDROID, VxWORKS, LINUX EMBEDDED

LINGUAGGI E FRAMEWORK DI PROGRAMMAZIONE: C, C++, SQL, PHP, ASSEMBLY X86, PASCAL, PROLOG, BASIC, C#, .NET, JAVA, EMBEDDED C, IEC 61131

LINGUAGGI MARK-UP: HTML, XML

AMBIENTI DI SVILUPPO: MS VISUAL STUDIO, KEIL uVISION, TEXAS INSTRUMENT CODE COMPOSER STUDIO

DBMS: MYSQL, MICROSOFT SQL SERVER, ORACLE

WEB SERVER: MICROSOFT INTERNET INFORMATION SERVER, APACHE WEB SERVER

SONO STATE ACQUISITE COMPETENZE SIGNIFICATIVE NEI SETTORI SEGUENTI:

PROGETTAZIONE DI BASI DI DATI, PROGETTAZIONE E SVILUPPO DI APPLICAZIONI DATA CENTRIC, ARCHITETTURA DEI MICROPROCESSORI, ARCHITETTURA DEI SISTEMI OPERATIVI, ARCHITETTURE HARDWARE E SOFTWARE PARALLELE, PROGETTAZIONE E SVILUPPO DI APPLICAZIONI PER SISTEMI EMBEDDED E PER MICROCONTROLLORI, PROGETTAZIONE DI TOOL E DI APPLICAZIONI PER L'AUTOMAZIONE INDUSTRIALE, PROGETTAZIONE E PROGRAMMAZIONE DI APPLICAZIONI AD ALTO LIVELLO DI CONCORRENZA, REAL TIME SCHEDULING, RETI NEURALI, METODOLOGIA UML, SISTEMI GIS E GPS, VIDEO CODECS H.263/H.264

NELL'AMBITO DIDATTICO HO SVILUPPATO PROGETTI DI TIPO INNOVATIVO COINVOLGENDO DIVERSE CLASSI DELLA SCUOLA SECONDARIA DI PRIMO GRADO NELLA SPERTIMENTAZIONE DI ATTIVITÀ LABORATORIALI LEGATE ALL'USO DEGLI STRUMENTI INFORMATICI DI PRODUTTIVITÀ PERSONALE (WORD, POWERPOINT, EXCEL) PER LO SVOLGIMENTO SIA DI DIDATTICA TRADIZIONALE SIA PER LO SVOLGIMENTI DI DIDATTICA DI TIPO "FLIPPED CLASSROOM". HO INOLTRE SVILUPPATO ATTIVITÀ DIDATTICHE LEGATE AL CODING CON LA PIATTAFORMA MINISTERIALE "PROGRAMMA IL FUTURO" COINVOLGENDO NUMEROSE CLASSI DELLA SCUOLA SECONDARIA DI PRIMO GRADO.

CAPACITÀ E COMPETENZE
COMUNICATIVE

I NUMEROSI PROGETTI SIA NAZIONALI CHE INTERNAZIONALI IN CUI HO PARTECIPATO MI HANNO CONSENTITO DI SVILUPPARE SIGNIFICATIVE ESPERIENZE E CAPACITÀ SIA DI COMUNICAZIONE SU ARGOMENTI PRETTAMENTE TECNICI SIA DI INTERAZIONE INTERPERSONALE.

HO SEMPRE LAVORATO IN TEAM DI MEDIE DIMENSIONI RELAZIONANDOMI SIA CON COLLEGHI CHE RESPONSABILI IN MODO COLLABORATIVO.

IN PIÙ OCCASIONI SONO STATO RELATORE A CONGRESSI SCIENTIFICI DI RILEVANZA INTERNAZIONALE, HO PRESENTATO RISULTATI DI PROGETTI EUROPEI E NAZIONALI DI FRONTE A COMMISSIONI DI REVISIONE, HO ORGANIZZATO MEETING E CONFERENZE INTERNAZIONALI FREQUENTATE DA OLTRE 200 PERSONE.

L'ESPERIENZA DECENNALE IN CAMPO DIDATTICO SIA A LIVELLO UNIVERSITARIO CHE DI SCUOLA MEDIA SUPERIORE MI HA PERMESSO DI SVILUPPARE INOLTRE UNA SIGNIFICATIVA ESPERIENZA DI TIPO RELAZIONALE, PEDAGOGICA E COMUNICATIVA NEI CONFRONTI DI PERSONE E GRUPPI DI PERSONE.

COMPETENZE ORGANIZZATIVE E
GESTIONALI

SONO STATO RESPONSABILE DELLA GESTIONE E DELLA ATTUAZIONE DI PROGETTI DI RILEVANZA NAZIONALE ED INTERNAZIONALE E CHE HANNO COINVOLTO TEAM FORMATI DA 4-5 PERSONE OCCUPANDOMI SIA DEGLI ASPETTI PROGETTUALI SIA DI QUELLI ATTUATIVI DEL PROGRAMMA PROGETTUALE.

SONO STATO RESPONSABILE DELL'ORGANIZZAZIONE DI CONFERENZE SCIENTIFICHE FREQUENTATE DA OLTRE 200 PERSONE DI PROVENIENZA INTERNAZIONALE COORDINANDO LA SCELTA E LA GESTIONE DEI LUOGHI DI INCONTRO, DELLE SISTEMAZIONI INDIVIDUALI E DI TUTTI I SUPPORTI LOGISTICI NECESSARI

LE ATTIVITÀ DIDATTICHE MI HANNO CONSENTITO DI SVILUPPARE ESPERIENZA NELLA GESTIONE DI GRUPPI ANCHE NUMEROSI DI PERSONE E NELLA ORGANIZZAZIONE DELLE ATTIVITÀ.

PATENTE O PATENTI

Patente di guida A e B

Allegato 1 – Progetti industriali e attività professionale

Sono di seguito elencati i più significativi progetti e attività professionali svolti negli ultimi anni. Non essendo possibile entrare nei dettagli di ciascun aspetto, per ciascun progetto è descritto l'obiettivo principale, le attività svolte e i principali strumenti utilizzati.

- **2015 SOIL CONTAMINATION** - Porting in *c#* di un programma per il calcolo, la prevenzione e la simulazione di possibili disastri ambientali a seguito di perdite di greggio. Principali strumenti utilizzati: *il linguaggio di programmazione C#*.
- **2013 F Tablet Management System** La società che mi ha affidato l'incarico **gestisce** una rete a livello nazionale di oltre 200 periti automobilistici cui affida incarichi su mandato delle primarie compagnie di assicurazione nazionale. Il progetto ha come scopo quello di dotare ciascun perito fiduciario della società di strumenti tecnologici che lo mettono in grado mediante l'uso di un tablet pc di svolgere le perizie direttamente all'interno delle carrozzerie e delle officine di riparazione riducendo i tempi dagli attuali 15 giorni a 1-2 giorni. Principali attività svolte nel progetto riguardano la progettazione e realizzazione della base di dati di supporto a tutte le attività peritali, la progettazione e realizzazione del software gestionale accessibile via Web ad uso dei vari utenti del sistema, le attività di integrazione del nuovo sistema con il vecchio gestionale in uso alla società e con gli strumenti di calcolo della perizia forniti da Quattroruote Professional. *I principali strumenti utilizzati sono: Microsoft SQL Server, ASP.NET, il linguaggio SQL, il linguaggio di programmazione C#. MySql Server*
- **2012 Servizi Peritali Avanzati** La prevenzione delle frodi assicurative è diventata un fattore chiave per il buon funzionamento delle compagnie di assicurazione anche al fine di offrire buone tariffe finali ai clienti. La società che mi ha affidato l'incarico gestisce, su mandato delle principali compagnie italiane, l'esecuzione delle perizie sui veicoli coinvolti in incidenti automobilistici e dispone quindi di un'ampia base di documentazione dei sinistri che si sono svolti e che sono stati liquidati in Italia. Il progetto ha avuto un duplice scopo: 1) armonizzare e rendere interrogabile in un'unica base di dati tutte le informazioni disponibili, 2) rendere possibile offrire nuovi servizi di perizia preventiva grazie ai quali l'utente (a fronte di una pre-certificazione dello stato del proprio veicolo) potrà ottenere sostanziali diminuzioni dei premi assicurativi. Le principali attività svolte nel progetto riguardano la progettazione e realizzazione della base di dati che raccoglie attualmente oltre 1000000 di perizie svolte (comprendente di documentazione fotografica), la progettazione e realizzazione del software di interrogazione e gestione della base di dati, le attività di migrazione dei dati da vari sistemi verso il nuovo sistema. *I principali strumenti utilizzati sono: Microsoft SQL Server, il linguaggio SQL, il linguaggio di programmazione C#, Microsoft .net*

- **2011-2012 Isac SMALL-DCS**, Il progetto, finanziato da ISAC s.r.l. e da Regione Toscana è stato sviluppato in stretta collaborazione con Consorzio Pisa Ricerche ed Università di Pisa. ISAC srl è un'azienda produttrice di sistemi per l'automazione industriale che ha affidato ai partner il progetto avente come obiettivo lo sviluppo di un sistema PLC per l'automazione industriale di tipo distribuito.

Per conto di Consorzio Pisa Ricerche ho svolto il ruolo di coordinatore del progetto occupandomi sia della fase di found scouting (il progetto è stato finanziato dalla Regione Toscana nell'ambito dei bando Unico R&S per una quota di Euro 520000) sia delle successive fasi attuative coordinando il gruppo di lavoro che si è occupato della ricerca e progettazione architettuale del sistema finale prodotto.

Nell'ambito del progetto ho sviluppato esperienze nell'ambito degli standard IEC61131 e IEC61499 per il controllo industriale ed in numerosi tool software ed hardware utilizzati in tale ambito.
- **2010-2011 GlobalJig Massa DVD**, Il progetto, finanziato da GlobalJig s.r.l. e da Regione Toscana è stato sviluppato in stretta collaborazione con Consorzio Pisa Ricerche.

Si è sviluppato un sistema di authoring per DVD multimediali, con caratteristiche di sicurezza di protezione dei dati e anti-copia, destinati a contenere i dati di calibrazione per i dispositivi venduti dall'azienda.

Il sistema prodotto consente all'azienda di produrre e vendere tali informazioni ai propri clienti senza esporsi ai rischi che aveva in passato (e che avevano messo a serio rischio il proprio business) riguardo alla duplicazione abusiva dei dati stessi.

Le principali attività hanno riguardato: la progettazione della base di dati destinata a contenere le informazioni, la progettazione del software di authoring e di quello di consultazione dei dati, la progettazione del sistema di sicurezza dei dati e di gestione delle licenze.

I principali strumenti usati sono stati: il linguaggio SQL, , il software Macromedia Director, il linguaggio C# e il framework .net
- **2009-2010 Isac NURBS**. Il progetto, finanziato da ISAC s.r.l. e da Regione Toscana è stato sviluppato in stretta collaborazione con Università di Pisa. Lo scopo del progetto è stato quello di far sì che i dispositivi CNC prodotti dall'azienda potessero utilizzare, oltre alle tradizionali curve basate su spezzate ed archi di circonferenza, le più performanti curve di tipo NURBS su cui vi era e vi è una forte richiesta di mercato.

In qualità di referente del progetto per conto di Università di Pisa ho seguito tutta la fase di ricerca scientifica delle possibili soluzioni, la valutazione sperimentale di alcune di esse e la progettazione e valutazione della soluzione finale proposta.

Allegato 2 – Attività di ricerca scientifica

L'attività di ricerca si inquadra principalmente nell'ambito delle architetture di memoria cache on chip ad alte prestazioni e a basso consumo energetico per sistemi singlecore e multicore di attuale e futura generazione. Un'importante attività è stata inoltre condotta nell'ambito delle metodologie di analisi e modellazione di sistemi embedded finalizzate alla esplorazione architetturale system-level.

Di seguito vengono elencati i principali risultati originali conseguiti nell'ambito di tali attività (per i dettagli si rimanda alle sottosezioni indicate in corsivo fra parentesi):

- La definizione di un modello di consumo energetico per le architetture di memoria cache di tipo NUCA, l'implementazione del modello in un simulatore preesistente e la valutazione dei consumi energetici di tali memorie. Tale valutazione ha mostrato l'importanza della componente statica sui consumi energetici totali delle memorie NUCA (Valutazione dei consumi energetici di cache NUCA).
- La definizione di una tecnica utilizzabile in una memoria cache di tipo D-NUCA che adegua dinamicamente la dimensione della parte attiva della cache in funzione delle esigenze correnti dell'applicazione in esecuzione e pone la parte rimanente in uno stato di basso consumo energetico. La valutazione sperimentale di tale tecnica, denominata Way Adaptable D-NUCA cache, ha mostrato che è possibile ridurre i consumi energetici di circa il 35% rispetto ad una D-NUCA tradizionale con un impatto sulle performance minore del 3% (Way Adaptable D-NUCA Cache).
- La valutazione della dipendenza delle prestazioni delle memorie cache di tipo NUCA dai parametri architetturali della rete NoC (Network on Chip) su cui esse si basano. Tale studio ha mostrato in particolare l'importanza del tempo di attraversamento degli switches ed ha condotto alla definizione di una nuova architettura NUCA in grado di rilassare i vincoli imposti su tale latenza (Dipendenza delle prestazioni delle NUCA dalle caratteristiche della NoC).
- La definizione di una metodologia di analisi, modellazione e simulazione di architetture multicore utilizzabile nell'esplorazione architetturale system level di sistemi embedded multicore (valutazione system-level delle prestazioni di sistemi embedded).

1.1. Dipendenza delle prestazioni delle NUCA dalle caratteristiche della NoC

Si è studiato l'impatto sulle performance delle architetture NUCA di alcuni parametri della Network on Chip (NoC) su cui esse sono basate. In particolare si sono considerate come variano le prestazioni di un sistema equipaggiato con una memoria S-NUCA ed un sistema equipaggiato con una memoria D-NUCA prendendo in considerazione architetture proposte precedentemente in letteratura e facendo variare la capacità di buffering degli switch ed il tempo di attraversamento di un pacchetto per lo switch stesso. Da tale studio si è messo in evidenza che la tipologia di traffico che riguarda la NoC delle NUCA non impone vincoli particolari sulle capacità di buffering degli switch. Si è infatti verificato sperimentalmente mediante simulazione che esistono variazioni minime delle performance quando si fanno variare i buffer da una dimensione ideale infinita ad una dimensione pari ad un singolo pacchetto trasmesso sulla rete.

Al contrario le memorie NUCA impongono vincoli notevoli sul tempo di attraversamento dei routers della rete. Tale tempo condiziona notevolmente le performance delle NUCA. Si è verificato infatti sperimentalmente, che esse decadono rapidamente all'aumentare della latenza degli switch. Ciò è diretta conseguenza del fatto che, essendo le NUCA impiegate come memorie cache di ultimo livello la tipologia di richieste che le riguarda è caratterizzata da una bassa occupazione di banda (pochi bytes trasmessi per ciascuna messaggio) ma dalla necessità di essere servite il più rapidamente possibile.

Partendo da tali risultati e da tali considerazioni si è definita una differente architettura NUCA che sfrutta un differente layout dei banchi e della NoC. In particolare, nella architettura proposta, i banchi vengono clusterizzati in gruppi da quattro tutti serviti da un unico switch in modo da ridurre il numero medio di hop da attraversare per ciascuna richiesta. La valutazione sperimentale di tale architettura ha mostrato che vengono rilassati i vincoli posti sul tempo di attraversamento degli switch stessi migliorando le performances. I risultati di tale lavoro sono stati presentati in [1], [9], [10] e [14].

1.2. Valutazione system-level delle prestazioni di sistemi embedded

La tecnologia consente di integrare un numero sempre crescente di transistor in un singolo chip rendendo possibile la realizzazione di dispositivi SoC (System On Chip) che includono una o più CPU, celle IP dedicate, memorie, periferiche e bus di comunicazione. Tali dispositivi trovano largo impiego nei dispositivi embedded. A causa dei costi e delle restrizioni ai tempi di progetto imposte dal mercato, è di fondamentale importanza che la valutazione delle prestazioni ottenibili da tali sistemi sia fatta quanto più presto possibile nel ciclo di progettazione di un sistema embedded. Per tale motivo, nell'ambito del programma di ricerca SPP finanziato dalla comunità europea, è nato il simulatore HLPerses, utilizzabile nelle prime fasi di progettazione per un confronto rapido e poco costoso di differenti architetture hardware e software candidate alla realizzazione di una stessa applicazione. Astruendo dai dettagli microarchitetturali dell'hardware simulato e considerando solo la dimensione del workload del software simulato (e quindi trascurando tutti gli aspetti logico-semantic), HLPerses è in grado di compiere simulazioni di alto livello con tempi notevolmente inferiori rispetto a simulatori di tipo instruction set simulator o cycle accurate. In tale contesto il contributo personale si è concentrato nella definizione di una metodologia di modellazione degli aspetti hardware di un sistema embedded (cpu, bus, memorie, DMA, celle IP dedicate, ecc.)

finalizzata alla simulazione mediante HLPerses e alla definizione di una metodologia di modellazione degli aspetti software delle applicazioni embedded e al successivo sviluppo di applicazioni in grado automatizzare tale metodologia.

La validazione fatta mediante casi di studio rappresentati da coder video per gli standard H.263/H.264 e basata su confronto sperimentale con simulatori cycle accurate ha mostrato che l'uso congiunto del simulatore HLPerses e della metodologia di modellazione proposta consente di raggiungere tempi di simulazione inferiori di diversi ordini di grandezza rispetto alla citata classe di simulatori pur mantenendo un'accuratezza dell'ordine del 10%. I risultati di tale lavoro sono stati presentati in [6] e [13].

1.3. Partecipazione a progetti di ricerca scientifica

Alessandro Bardine è membro del Network di eccellenza Europeo HiPEAC (High Performance Embedded Architectures and Compilation) per la ricerca sulle architetture e sui compilatori per dispositivi embedded finanziato dalla comunità Europea.

Partecipa al progetto PRIN 2008 "Design Methodologies for High Performance Systems for Scientific and Multimedia Applications" finanziato dal Ministero Italiano per l'Università e la Ricerca Scientifica (numero di contratto 200855LRP2_001).

Ha partecipato al progetto integrato di ricerca SARC per la definizione delle architetture di processore di futura generazione, finanziato dalla Comunità Europea (numero di contratto 27648) nell'ambito del 6 programma quadro. Il progetto ha coinvolto 11 Università Europee e 7 industrie del settore.

In passato ha partecipato al progetto di ricerca europeo Scalable Peripheral Processor (SPP) per la definizione di un sistema embedded single chip multicore per applicazioni di cartografia nautica. Svolge abitualmente attività di consulenza su progetti di ricerca industriale, attualmente partecipa ai progetti: Pharma Screen Box per lo studio, progettazione, realizzazione e sperimentazione di una macchina di ispezione per il controllo della qualità del tubo vetro (azienda committente Gerresheimer s.p.a), UNIPOS per lo studio, progettazione, realizzazione e sperimentazione di sistemi innovativi di verbalizzazione degli esami universitari, Lif per lo studio, la progettazione, realizzazione e sperimentazione di macchine industriali innovative auto configuranti per la verniciatura di pannelli di legno (azienda committente Makor s.r.l.).

In passato ha partecipato, fra gli altri, ai seguenti progetti: RTPLC finalizzato all'integrazione fra servizi real-time e non all'interno di dispositivi di automazione industriale (azienda committente ISAC s.r.l.), PLC ABC finalizzato ad introdurre il supporto allo standard IEC61131 in dispositivi di automazione industriale (azienda committente ISAC s.r.l.), EMPI finalizzato all'ottimizzazione delle performance di una applicazione di calcolo elettromagnetico (azienda committente IDS s.p.a.), PLC NURBS finalizzato ad introdurre il supporto alle curve di tipo NURBS in PLC a basso costo (azienda committente ISAC s.r.l.), New Sensor per la produzione di innovativi sensori in grado di rilevare e misurare le vibrazioni generate dalla superficie del terreno (azienda committente Tecnologie & Sistemi s.r.l.).

1.4. Attività di revisione

Ha effettuato attività di revisione per le seguenti riviste:

- EURASIP Journal on Embedded Systems - Hindawi
- Transactions on High-Performance Embedded Architectures and Compilers (Transactions on HiPEAC) HiPEAC – Springer

Ha inoltre fatto parte del comitato di revisione dei congressi:

- Computing Frontiers 06
- MEDEA 2006 Workshop on Memory Performance: Dealing with Applications, Systems and Architecture, Seattle, Wa USA, 16 Settembre 2006
- SAC2007: 22° ACM Symposium on Applied Computing, Seoul, Korea, March 11 - 15, 2007
- MEDEA 2007 Workshop on Memory Performance: Dealing with Applications, Systems and Architecture, Brasov, Romania, 15 Settembre 2007
- IPDPS2008: IEEE International Parallel & Distributed Processing Symposium, Miami, Florida, April 14-18, 2008
- MEDEA 2008 Workshop on Memory Performance: Dealing with Applications, Systems and Architecture, Toronto, Canada, 25 Ottobre 2008
- SAC2008: 23° ACM Symposium on Applied Computing, Vila Galé in Fortaleza, Ceará, Brazil, 16 - 20 Marzo, 2008
- IPDPS 2008: IEEE international parallel & distributed processing symposium (IPDPS), Miami, Florida, USA, 14-18 Aprile 2008
- SAC2009: 24° ACM Symposium on Applied Computing, Honolulu, Hawaii, USA, 8 – 12 Marzo, 2009

1.5. Attività organizzativa a livello internazionale

Alessandro Bardine è stato:

- **Local Accommodation Chair di HiPEAC 2010** – 5th International Conference on High-Performance and Embedded Architectures and Compilers – Pisa 25 -27 Gennaio 2010
- **Collaboratore all'organizzazione del workshop** MEMory performance:

DEaling with Applications, systems and architecture (**MEDEA**), chair Ing. Pierfrancesco Foglia, negli anni 2006, 2007 , 2008 e 2009.

1.6. Presentazione di Articoli e Tutorial a Conferenze Internazionali

Ha presentato i seguenti lavori a conferenze e tutorial internazionali:

- BARDINE ALESSANDRO, COMPARETTI MANUEL, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, Stenstrom Per, Leveraging Data Promotion for Low Power D-NUCA Caches, 11th Euromicro Conference on Digital System Design, pp 307-316, Parma, 2008
- BARDINE ALESSANDRO, COMPARETTI MANUEL, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, Performance Sensitivity of NUCA Cache sto On-Chip Network Parameters, 20th Int. Symposium on Computer Architecture and High Performance Computing (SBAC-PAD 2008), pp 167-175, Campo Grande, MS, Brazil, 2008
- Bardine, A. Bechini, P. Foglia, C.A. Prete, Analysis of Embedded Video Coder Systems: a System Level Approach, Medea 2005 workshop, pp 70-76, Saint Louis, Missouri, vol. 1, 2005
- BARDINE ALESSANDRO, COMPARETTI MANUEL, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, NUCA caches: Analysis of Performance Sensitivity to NOC Parameters, ACACES 2008, pp 103-106, L'Aquila, 2008
- Bardine, P. Foglia, C.A. Prete, Way Adaptable D-Nuca Cache, ACACES 2006, pp 213-217, L'Aquila, vol. 1, 2006

1.7. Frequenza di Scuole, Corsi e Seminari

Ha frequentato le seguenti scuole e corsi specialistici:

- MIRPA - MIDDLEWARE FOR ROBOTIC AND PROCESS CONTROL APPLICATIONS. Dr. Torsten Kröger Institut fuer Robotik und Prozessinformatik Technische Universitaet Braunschweig – Germany tenuto presso Università di Pisa, Facoltà di Ingegneria, Pisa Luglio 2009
- Microarchitecture: foundations and advanced topics Prof. Yale Patt - University of Texas at Austin, USA, tenuto presso Università di Pisa, Facoltà di Ingegneria, Pisa 8-13 Luglio 2009
- ACACES 2008 - International Summer school on Advanced Computer Architecture and Compilation for Embedded Systems organizzata da HIPEAC "European Network of Excellence on High-Performance Embedded Architecture and Compilation", L'Aquila 13-19 luglio 2008. Corsi seguiti: Communication-dominated architectures: toward Networks on Chip (Prof. Luca Benini, University of Bologna, Italy), Low Power System Design (Prof. Chaitali Chakrabarti, Arizona State University, USA), Bus-based On-Chip Communication Architectures (Prof. Nikil Dutt, University of California, Irvine, USA), Multiprocessor Interconnection Networks; Routing, Fault Tolerance and Scalability (Prof. Olav Lysne, Simula Research Laboratory, Norway).
- ACACES 2007 - International Summer school on Advanced Computer Architecture and Compilation for Embedded Systems organizzata da HIPEAC "European Network of Excellence on High-Performance Embedded Architecture and Compilation", L'Aquila 15-20 luglio 2007. Corsi seguiti: Coherence, Store Atomicity, and Memory Consistency Models (Prof. Michel Dubois, University of Southern California, USA), Chip Multiprocessor (CMP) Architectures (Prof. Kunle Olukotun, Stanford University, USA), Power-efficient, reliable microarchitectures, (Dr. Pradip Bose, IBM, USA), Queue and Flow Control Architectures for Interconnection Switches (Prof. Manolis Katevenis, FORTH and Univ. of Crete, Greece)
- Advanced Computer Architecture, Prof. Yale Patt - University of Texas at Austin, USA, tenuto presso IMT Lucca 20-30 Giugno 2007
- Data Mining vs Semantic WEB: a scientific approach Prof. Veljko M. Milutinovic (Department of Computer Engineering, University of Belgrade) tenuto presso l'Università di Pisa, Facoltà di Ingegneria, 30 Marzo 2007
- ACACES 2006 - International Summer school on Advanced Computer Architecture and Compilation for Embedded Systems organizzata da HIPEAC "European Network of Excellence on High-Performance Embedded Architecture and Compilation", L'Aquila 23-29 luglio 2006. Corsi seguiti: Multicore & Multiprocessor Interconnection Networks (Prof. Timothy Pinkston, University of Southern California, USA), Power-Efficient Computing: Modelling and Optimization (Prof. Margaret Martonosi, Princeton University, USA & Stefanos Kaxiras, University of Patras, Greece), Exploring CMP thread-level parallelism: the architecture and the usage (Prof. Erik Hagersten, Uppsala University, Sweden), Design of Application Specific Processor Architectures (Prof. Rainer Leupers, RWTH Aachen University, Germany)
- ACACES 2005 - International Summer school on Advanced Computer Architecture and Compilation for Embedded Systems organizzata da HIPEAC "European Network of Excellence on High-Performance Embedded Architecture and Compilation", L' Aquila 24-30 luglio 2005. Corsi seguiti: Advanced Microarchitecture (Prof. Yale Patt - University of Texas at Austin, USA), Optimization in gcc (Dr. Ayal Zaks - IBM, Israel), Adaptive & feedback driven compilation (Prof. Mike O' Boyle - University of Edinburgh, UK), Simulation (Prof. David August Princeton University, USA)

Ha frequentato i seguenti corsi previsti dal curriculum formativo definito per il Dottorato di Ricerca in Ingegneria dell'Informazione presso il Dipartimento di Ingegneria dell'Informazione dell'Università di Pisa:

- Requirements engineering: natural language requirements elicitation, specification and quality evaluation Dott. Giuseppe Lami (Istituto di Scienza e Tecnologie dell'Informazione "Alessandro Faedo", Area della Ricerca di Pisa del CNR) 16 - 20 Aprile, 2007
- Design technologies for integrated circuits Prof. Giovanni De Micheli (Ecole Polytechnique Fédérale de Lausanne, Lausanne, Switzerland) 2 - 4 Aprile, 2007
- Formal verification of computer systems by theorem proving Dr. Holger Pfeifer (Faculty of Engineering and Computer Sciences, Institute of Artificial Intelligence, University of Ulm, Germany) 27 - 30 Marzo, 2007
- A Solution for the Multiple Writer Problem in Shared Memory Multiprocessors Prof. Veljko M. Milutinovic (Department of Computer Engineering, University of Belgrade) 20 Novembre 2006
- Computer Architecture Research: Some Criticisms and Some Opportunities Prof. Yale Patt (University of Texas at Austin, USA) , 1 agosto 2006
- Wireless mesh networking Prof. Samir R. Das (Computer Science Department, State University of New York, Stony Brook, New York) 29 Maggio - 1 Giugno, 2006
- Computational intelligence, Prof. Beatrice Lazzarini, Università di Pisa, Italia

1.8. Attività didattica

- **Anno accademico 2013-2014**
- Incarico di docenza per il modulo di Basi di Dati del corso di Informatica del corso di laurea in Ingegneria Gestionale - Università di Pisa
- **Anno scolastico 2012-2012:**
- Docente di informatica presso I.I.S "A.Meucci" di Massa per le classi 3° del corso di Istituto Tecnico Industriale ad Indirizzo Informatico e per le classi 3° del liceo scientifico ad indirizzo scienze applicate
- **Anno scolastico 2011-2012:**
- Docente di informatica presso I.I.S "A.Barsanti - Salvetti" di Massa per le classi 3° 4° e 5° del corso di Tecnico per la estione Aziendale ad Indirizzo
- **Dall'anno accademico 2005- 2006 all'anno accademico 2010-2011:**
- incarico didattico per lo svolgimento delle esercitazioni, l'assistenza agli studenti e la partecipazione alle commissioni d'esame per l'insegnamento di "Sistemi Embedded" del corso di laurea specialistica in Ingegneria Informatica, Università di Pisa In tale ambito ha svolto lezioni ed esercitazioni sugli aspetti di progettazione di dispositivi embedded.
- incarico didattico per lo svolgimento delle esercitazioni, l'assistenza agli studenti e la partecipazione alle commissioni d'esame per l'insegnamento di "Informatica Industriale" del corso di laurea specialistica in Ingegneria Informatica, Università di Pisa In tale ambito ha svolto lezioni ed esercitazioni sulla programmazione C e assembly microcontrollori e di dispositivi DSP.

2. Pubblicazioni

Lavori pubblicati su riviste internazionali

1. Alessandro Bardine, Manuel Comparetti, Pierfrancesco Foglia, Cosimo Antonio Prete: Evaluation of Leakage Reduction Alternatives for Deep Submicron Dynamic Nonuniform Cache Architecture Caches. *IEEE Trans. VLSI Syst.* 22(1): 185-190 (2014)
2. Massimiliano Annoni, Alessandro Bardine, Stefano Campanelli, Pierfrancesco Foglia, Cosimo Antonio Prete: A real-time configurable NURBS interpolator with bounded acceleration, jerk and chord error. *Computer-Aided Design* 44(6): 509-521 (2012)
3. Alessandro Bardine, Manuel Comparetti, Pierfrancesco Foglia, Giacomo Gabrielli, Cosimo Antonio Prete Way adaptable D-NUCA caches. *IJHPSA* 2(3/4): 215-228 (2010)
4. BARDINE ALESSANDRO, COMPARETTI MANUEL, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO "Impact of On-Chip Network Parameters on NUCA Caches Performance", *IET Computers and Digital Techniques, Special Issue on Networks on Chip*, vol. 3, num. 5, September 2009
5. BARDINE ALESSANDRO, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, Stenström Per, Improving power efficiency of D-NUCA caches, *ACM SIGARCH COMPUTER ARCHITECTURE NEWS*, vol. 35, pp 53-58, 2007
6. BARDINE ALESSANDRO, BECHINI ALESSIO, FOGLIA PIERFRANCESCO, PRETE COSIMO ANTONIO, Analysis of Embedded Video Coder System: a System Level Approach, *ACM SighArch Computer Architecture News*, vol. 34, num. 1, pp 71-76, 2006

Lavori presentati a conferenze internazionali con atti e comitato di revisione

7. BARDINE ALESSANDRO, COMPARETTI MANUEL, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, "A Power-Efficient Migration Mechanism for D-NUCA Caches", *Design, Automation & Test in Europe 2009 (Date 2009)*, pp 598-601, Nice, France, vol. 1, 2009
8. BARDINE ALESSANDRO, COMPARETTI MANUEL, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, Stenstrom Per, Leveraging Data Promotion for Low Power D-NUCA Caches, *11th Euromicro Conference on Digital System Design*, pp 307-316, Parma, 2008
9. BARDINE ALESSANDRO, COMPARETTI MANUEL, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, Performance Sensitivity of NUCA Caches to On-Chip Network Parameters, *20th Int. Symposium on Computer Architecture and High Performance Computing (SBAC-PAD 2008)*, pp 167-175, Campo Grande, MS, Brazil, 2008
10. BARDINE ALESSANDRO, COMPARETTI MANUEL, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, On-Chip Networks: Impact on the Performances of NUCA caches, *11th Euromicro Conference on Digital System Design. WIP session*, pp 55-56, Parma (Italy), 2008
11. BARDINE ALESSANDRO, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, Stenstrom Per, A Micro-Architectural Power-Saving Technique for D-NUCA caches, *Workshop on UNIQUE CHIPS and SYSTEMS (UCAS-4)*, pp 75-82, Austin, TX, 2008
12. BARDINE ALESSANDRO, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, Analysis of Static and Dynamic Energy Consumptions in NUCA Caches: Initial Results, *ACM Medea 2007 Workshop*, pp 113-120, Brasov, Romania, 2007
13. A. Bardine, A. Bechini, P. Foglia, C.A. Prete, Analysis of Embedded Video Coder Systems: a System Level Approach, *Medea 2005 workshop*, pp 70-76, Saint Louis, Missouri, vol. 1, 2005

Lavori presentati a conferenze internazionali con atti

14. BARDINE ALESSANDRO, COMPARETTI MANUEL, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, NUCA caches: Analysis of Performance Sensitivity to NOC Parameters, *ACACES 2008*, pp 103-106, L'Aquila, 2008
15. BARDINE ALESSANDRO, COMPARETTI MANUEL, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, Implementation Issues of Way Adaptable D-NUCA Caches, *ACACES 2008*, pp 95-98, L'Aquila, 2008
16. BARDINE ALESSANDRO, COMPARETTI MANUEL, GABRIELLI GIACOMO, FOGLIA PIERFRANCESCO, PRETE COSIMO ANTONIO, A Dynamic Optimization Technique for D-NUCA Caches, *ACACES 2008*, pp 91-94, L'Aquila, 2008
17. BARDINE ALESSANDRO, FOGLIA PIERFRANCESCO, GABRIELLI GIACOMO, PRETE COSIMO ANTONIO, Evaluating Power Consumption of D-Nuca Caches, *ACACES 2007*, pp 9-12, L'Aquila, vol. 1, 2007
18. A. Bardine, P. Foglia, C.A. Prete, Way Adaptable D-Nuca Cache, *ACACES 2006*, pp 213-217, L'Aquila, vol. 1, 2006

Rapporti finali di ricerca pubblicati

19. FOGLIA PIERFRANCESCO, BARDINE ALESSANDRO, PRETE COSIMO ANTONIO, ZANDA MICHELE,ACA IP SARC project N. 27648 Deliverable D8.5 -Training and Dissemination Activities Report, Information Societies Technology FP6 Programme - Rapporto finale di ricerca - EU, 2010
20. FOGLIA PIERFRANCESCO, BARDINE ALESSANDRO, PRETE COSIMO ANTONIO, ZANDA MICHELE,ACA IP SARC project N. 27648 Deliverable D8.4 -Training and Dissemination Activities Report, Information Societies Technology FP6 Programme - Rapporto finale di ricerca - EU, 2009
21. FOGLIA PIERFRANCESCO, BARDINE ALESSANDRO, PRETE COSIMO ANTONIO, ZANDA MICHELE,ACA IP SARC project N. 27648 Deliverable D8.3 -Training and Dissemination Activities Report, Information Societies Technology FP6 Programme - Rapporto finale di ricerca - EU, 2008
22. FOGLIA PIERFRANCESCO, BARDINE ALESSANDRO, PRETE COSIMO ANTONIO, ZANDA MICHELE,ACA IP SARC project N. 27648 Deliverable D8.2 -Training and Dissemination Activities Report, Information Societies Technology FP6 Programme - Rapporto finale di ricerca - EU, 2007

Altri lavori

23. BARDINE ALESSANDRO, A Technique for Reducing Power Consumptyion of Wire Delay Tolerant Cache Memories, Tesi di Dottorato di Ricerca, Febbraio 2009
24. FOGLIA PIERFRANCESCO, BARDINE ALESSANDRO,Introduzione alla Programmazione dei Sistemi Embedded – Corso multimediale on line - Università di Pisa-Progetto TRIO,2007
25. FOGLIA PIERFRANCESCO, BARDINE ALESSANDRO,Aspetti di programmazione avanzata dei sistemi embedded – Corso multimediale on line - Università di Pisa-Progetto TRIO,2007
26. FOGLIA PIERFRANCESCO, BARDINE ALESSANDRO,Aspetti di Programmazione dei Sistemi Embedded – Corso multimediale on line - Università di Pisa-Progetto TRIO,2007

Autorizzo, ai sensi della Legge 675/96 e del D.L. 276/03, il trattamento dei dati personali da me forniti.

Alessandro Bardine

